

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 732857	A1	19960918	EP 96410022	A	19960312	H04N-007/50	199642 B
FR 2731864	A1	19960920	FR 953163	A	19950314	H04N-007/26	199644
JP 8294115	A	19961105	JP 9684470	A	19960314	H04N-007/24	199703

Abstract (Basic): EP 732857 A

The image decoder includes a memory which holds two or more previously decoded images. An image processing circuit receives data from the two images. A display receives the images. The processing circuit processes each bidirectional image twice during a display time of an image.

The first processing operation is performed while supplying one image directly to the display. The second processing operation is performed while supplying the second image directly to the display. The image is processed by blocks which are regrouped into macroblocks corresponding to squares in the image.

USE/ADVANTAGE - Esp. for positioning between image processor and dynamic memory. Requires less memory.

Dwg.2/3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-294115

(43) 公開日 平成8年 (1996) 11月5日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
// H 0 3 M 7/36		9382-5K	H 0 3 M 7/36	

審査請求 有 請求項の数6 FD (全 8 頁)

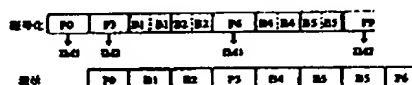
(21) 出願番号	特願平8-84470	(71) 出願人	591035139 エスジェエーストムソン ミクロエレクト ロニクス ソシエテ アノニム SGS-THOMSON MICROEL ECTRONICS SOCIETE A NONYME フランス国, 94250 ジェンティリイセデ 、アベニュー ガリエニ, 7番地
(22) 出願日	平成8年 (1996) 3月14日	(72) 発明者	アレン アルティエリ フランス国, 38240 メイラン, アレ デ エイミネ, 7番地
(31) 優先権主張番号	9 5 0 3 1 6 3	(74) 代理人	弁理士 山本 恵一
(32) 優先日	1995年3月14日		
(33) 優先権主張国	フランス (FR)		

(54) 【発明の名称】 M P E G 復号化器及びその復号化方法

(57) 【要約】 (修正有)

【課題】 現在の復号化された画像のラン中の表示では、画像の奇数のラインによって構成される第1のフレームが、偶数のラインによって構成される第2のフレームより前に表示されることであり、表示の処理工程は通常ラインの値でグローバルな画像上で実行される。結果として、もし復号化器は表示効率でラインを復号化するならば、 $(2k-1)$ 番目のラインは復号化器が $(k-1)$ 番目のラインを復号化する時に表示されなければならない。

【解決手段】 2つの前もって復号化された画像からデータを要求する双方向タイプ画像を復号化し、各画像が異なる部分をもってラインに相当する2つの有効なフレームに表示されることに関して、各バイディレクショナル画像は画像の表示時間中に、第1のフレームが直接に表示されると同時の第1の時間中と、第2のフレームが直接に表示されると同時の第2の時間中に2度復号化される。



【特許請求の範囲】

【請求項1】 少なくとも2つの前もって復号化される画像（IM1、IM2）を格納するメモリ（10）と、2つの前もって復号化された画像から双方向タイプを要求するデータであり得る現在の画像を処理する回路（12、14、16、24）と、第1及び第2の部分のラインに相当する2つの有効なフレームで各画像が供給される表示器（20）とを含む画像復号化器において、

処理回路は、画像の表示時間中に、画像の第1のフレームをもって直接に表示器に供給する第1の時間中に及び第2のフレームをもって直接に表示器に供給する第2の時間中にバイディレクショナル画像の各々を2度処理するために機能することを特徴とする復号化器。

【請求項2】 処理回路が画像四角形に相当するマクロブロックに集められたブロックによって各画像を処理するように機能し、前記復号化器は同じ部分のラインに相当するハーフブロックによってバイディレクショナル画像のフレームを受信するために、かつ表示器に同じ部分の相当するラインを供給する再編成回路（26）を含む請求項1記載の復号化器。

【請求項3】 バイディレクショナルマクロブロックは2つの前もって復号化された画像の各々に2つのハーフ予測マクロブロックを要求する飛び越しタイプであり得、同じ前もって復号化された画像の2つのハーフ予測マクロブロックは異なる部分をもつラインに相当する復号化器において、飛び越しバイディレクショナルマクロブロックを処理するために、処理回路は表示器に供給されるフレームのラインに相当する2つのハーフ予測マクロブロックのみ2つの復号化されるバスのそれぞれに使用するために機能する請求項1記載の復号化器。

【請求項4】 2つの前もって復号化された画像からデータを要求するバイディレクショナルタイプでなされる画像を復号化し、各画像が異なる部分をもってラインに相当する2つの有効なフレームに表示される方法において、各バイディレクショナル画像は画像の表示時間中に、第1のフレームが直接に表示されると同時の第1の時間中に及び第2のフレームが直接に表示されると同時の第2の時間中に2度復号化されることを特徴とする復号化方法。

【請求項5】 各画像は画像四角形に相当するマクロブロックに処理され、バイディレクショナルマクロブロックは2つの前もって復号化された画像で2つおハーフ予測マクロブロックを要求する飛び越しタイプであり得、同じ前もって復号化された画像の2つのハーフ予測マクロブロックは異なる部分にもなるラインに相当する復号化方法において、飛び越しバイディレクショナルマクロブロックを処理するために、表示されるフレームのラインに相当する2つのハーフ予測マクロブロックのみ2つの

復号化されるバスのそれぞれに使用されるる請求項4記載の復号化方法。

【請求項6】 バイディレクショナルマクロブロックの処理で2つの予測マクロブロックの1つのみを使用するために処理されたマクロブロックの数が表示されるマクロブロックの数より低いことを検出する工程を含む請求項4記載の復号化方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は特にMPEG標準における圧縮画像の復号化に関する。更に、画像生成回路とダイナミックメモリとの間のデータ変換に関する。

【0002】

【従来の技術】 多種の画像圧縮標準において、特にMPEG標準で、画像は四角形によって提供され、その四角形の大きさは通常16×16ピクセルである。各四角形に対していわゆる「マクロブロック」と呼ばれるものに相当する。マクロブロックは異なるフォーマットを有することができる。最も共通な使用されることは各マクロブロックが8ビットの8×8輝度ピクセルの4つの

20 ブロックと8ビットの8×8色差ピクセルの2つのブロックを含むことに関する4:2:0と呼ばれるフォーマットである。
【0003】 生成された画像は3つのタイプを必要とし、それは「イントラ」タイプ、プレディクティブを示されたタイプ、及びバイディレクショナルタイプである。「イントラ」タイプのマクロブロックは動き補償に従わされることがない。予示される画像において、各マクロブロックは予測マクロブロックと呼ばれる他のマクロブロックと共にマクロブロックを組み合わせて含む動き補償に従わされ得る。バイディレクショナル画像の各マクロブロックは2つ前の復号化された画像に各々取り出される2つの他の予測マクロブロックと共にマクロブロックを組み合わせたものを含む動き補償に従わされ得る。予測マクロブロックの配置は動きベクトルによって設定される。

30 【0004】 明らかに示すように、MPEG復号化器はバイディレクショナル画像を生成することができるために少なくとも2つの前の復号化された画像を格納しなければならない。実際に、またそれらを表示する前にピクセルをほぼ再生するために現在の復号化された画像を格納する。つまり、ピクセルがライン（まず奇数ラインのフレーム、そして偶数ラインのフレーム）ごとに少しづつ表示され、一方でピクセルはブロックを少しづつ復号化される。

【0005】 図1は欧州特許出願第0626653号に開示されたMPEG復号化器を示す図である。その復号化器は64ビットバスB64を介する入手しやすいダイナミックメモリ（DRAM）を含む。パイプライン回路

50 12はバスB64に渡って圧縮されたデータを受信し、

生成されたマクロブロックの輝度及び色差ブロックを加算器14に供給する。しかしながら、加算器14はバスB64を介した予測回路16に供給される予測マクロブロックから相当するブロックを受信する。パイプライン回路12は通常可変長復号化(VLD)、ランレベル復号化(RLD)、シグザグ走査を直線走査への変換、離散的逆余弦変換(DCT)を実行する。MPEG標準によれば、もしこの予測マクロブロックを取出すために動きベクトルが整数でないならば予測回路16はピクセルの半分によって垂直及び/又は水平の予測マクロブロックをシフトするための、いわゆる「ハーフピクセル」フィルタを必要最小限に含む。

【0006】加算器14によって供給される復号化されたピクセルはバスB64を介してメモリ10の中に移される前にバッファ(FIFO)18に格納される。

【0007】表示器20にはバッファ22を介してメモリ10から表示されるためにピクセルが供給される。

【0008】メモリ10と多種の復号化器構成との間の変換はメモリ制御ユニット(MCU)24によって動かされる。

【0009】先に述べたように、メモリ10はバイディレクショナル画像を再格納するために2つの先の復号化された画像を格納しなければならない。そして、メモリ10は少なくとも3つの画像エリアIM1~IM3を含む。これらのエリアIM1~IM3のそれぞれは720×576ピクセルのPAL画像(国際標準における最長)を格納することができなければならない。4:2:0マクロブロックフォーマットを使用して、12ビットのピクセルエリア及び全体の画像サイズは4,976,640ビットである。

【0010】その上、MPEG標準は少なくとも2.6メガビットの圧縮されたデータエリアCDを含み、圧縮されたデータは生成される前に待ち、エリアXはスクリーンディスプレイ情報及びサウンドデータを格納するために利用される。このエリアXの容量は約1メガビットである。ここで、メモリの全容量は約18メガビットでなければならない。

【0011】

【発明が解決しようとする課題】そのようなメモリは現在商業上の利用できる構成を用いて実行することは困難である。つまり、安価な大部分の現在のダイナミックメモリ構成は16ビットの256キロワード(256k×16)の容量を有する。これらの構成の4つを用いて、64ビットバスを介した入手し易い16メガビットメモリは簡単に実行される。しかしながら、同じ64ビットバスを介して入手し易い2メガビットを加算するために効果されない。直接的な解決方法は256k×16構成の各々に並列に16ビットの64キロワードの構成を接続することによって4メガビットを付加することである。しかしながら、64k×16の構成はあまり普通で

なく、かつ容量における価格の比率が特に高いのである。

【0012】本発明の目的は、減少されたメモリ容量をもつ異なる国際標準の画像を生成できる画像復号化器を提供することである。

【0013】この目的や他の目的を達成するために、本発明は各バイディレクショナル画像を表示するために提供され、かつ復号化されるのでピクセルの表示されるためのものである。現在の再記憶されている画像を格納することを必要としないのでこれはメモリでの画像エリアを節約する。その結果、メモリ容量は最大通常メモリ構成を用いて簡単に実行可能な16メガビット限定より低く落とす。

【0014】ランしながらバイディレクショナル画像を表示するために、表示時間中に2度復号化することが実際に必要である。本発明の見地は高速メモリ構成を使用することなしでそのような二重の復号化を実行することである。

【0015】

20 【課題を解決するための手段】本発明は上記目的を達成するために、2つの前もって復号化された画像からデータを要求するバイディレクショナルタイプでなされる画像を復号化し、各画像が異なる部分をもってラインに相当する2つの有効なフレームに表示される。各バイディレクショナル画像は画像の表示時間中に、第1のフレームが直接に表示されると同時の第1の時間中に及び第2のフレームが直接に表示されると同時の第2の時間中に2度復号化される。

30 【0016】通常、各画像は画像四角形に相当するマクロブロックに処理され、バイディレクショナルマクロブロックは2つの前もって復号化された画像で2つのハーフ予測マクロブロックを要求する飛び越しタイプであり得る。同じ前もって復号化された画像の2つのハーフ予測マクロブロックは異なる部分にもなるラインに相当する。飛び越しバイディレクショナルマクロブロックを処理するために、表示されるフレームのラインに相当する2つのハーフ予測マクロブロックのみ2つの復号化されるバスのそれぞれに使用される。

40 【0017】バイディレクショナルマクロブロックの処理で2つの予測マクロブロックの1つのみを使用するために処理されたマクロブロックの数が表示されるマクロブロックの数より低いことを検出する。

【0018】

50 【発明の実施の形態】本発明によれば、後者に表示するためにメモリエリアで現在再格納されたバイディレクショナル画像を格納する代わりに、バイディレクショナル画像はラン中に表示され、復号化されるように表示される。これは表示するまでにバイディレクショナル画像を格納するために要求されたメモリ画像エリアの抹消を可能とする。よって、メモリ10の許容サイズは画像エリ

アのサイズによって減少され、PAL標準（最大抑制するもの）における14メガビットに18メガビットから通過する。この値は16ビットの256キロワードの4つの標準メモリ構成を使用することによって簡単に得られる16メガビット限界下である。それに残りの2メガビットはオンスクリーン表示情報を格納するために効果的に使用され得、又は復号化器に關係するマイクロプロセッサの補助メモリとして効果的に使用され得る。

【0019】現在の復号化された画像のラン中の表示で出くわす問題点は画像の奇数のラインによって構成される第1のフレームが画像の偶数のラインによって構成される第2のフレームを表示する前に表示されることであり、表示の処理工程は通常ラインの値でグローバルな画像上で実行される。結果として、もし復号化器は表示効率でラインを復号化するならば $(2k-1)$ 番目のラインは復号化器が $(k-1)$ 番目のラインを復号化する時に表示されなければならない。言い換えれば、第1のフレームが表示されるときに復号化器はフレームの半分より多く復号化されない。

【0020】この問題点を解決するために、本発明は画像の表示時間中に各バイディレクショナル画像の復号化を2度行う。この場合で、 $(2k-1)$ 番目のラインが表示されなければならない時、 $2k$ ラインは復号化される。言い換えれば、第1のフレームが全体の画像を表示

されるときそしてこの画像の2つのフレームは復号化される。表示がラン中に実行されるので、表示されないことが失われるが第2のフレームは復号化される。画像が第2の時間を復号化されるのでこの第2のフレームは表示される。

【0021】本発明の重要な見地はメモリを用いてデータ変換率を2度要求するためにより抑制する同じ早さでバイディレクショナル画像を2度復号化することを記することであり、そして商業上に見つけることが難しく何としても大変高価であるメモリと同じ早さで2度要求することである。つまり、次の分析に示すように、バイディレクショナル画像復号化速度の倍化は標準及び安価なメモリ構成を使用することを可能とする25%のみによってメモリを用いて変換の効率を増加するように生じる。

【0022】次の分析は例えば欧州特許出願第0626653号（図1）に開示された復号化器を元にされている。そのデータは64ビットバスを介してメモリ10を用いて変換される。

【0023】画像の表示時間中に、図1の従来の復号化器はいくつかの同時の操作を実行しなければならない。これらの操作は次の表に示されている。

【表1】

動作	サイクルでのコスト
飛び越しMB予測	253,800
圧縮されたデータの読出し	2 × 28,672
現在の画像の格納	84,800
現在の画像の表示	86,400
オンスクリーン表示	10,800
圧縮されたデータの書き込み	7,820
リフレッシュ	6,400
34%によって増加された合計	653,088
時間	33.37ms
周波数	19.6MHz

更にこの表は異なる操作のメモリアクセルサイクルで相当するコストを示す。

【0024】サイクルのコストは圧縮形式でMPEG標準によって特定される1.75メガビットの最大サイズである。他の標準より小さい（720×480ピクセル）のNTSC画像が短時間に表示されるので最悪の場合状況は1.75メガビットNTSC画像である。この表示時間は33.37ミリ秒である。

【0025】最も高価な操作は最悪な場合で処理するための画像のマクロブロックのそれぞれが組み合わせたバイディレクショナルタイプであるときの予測回路16に予測マクロブロックの供給である。この特別な場合に、4つのハーフ予測マクロブロックは各処理されるマクロブロックに対して補間回路に供給される。前もって復号

化された画像で取り出される2つのハーフ予測マクロブロックはそれぞれ奇数及び偶数ラインに一致する。

【0026】全部の予測マクロブロックは8ビットの17×17ピクセルの輝度アレイと8ビットの9×18ピクセルの色差アレイを含み、予測マクロブロックの輝度及び色差のそれぞれはピクセルの1以上の列と1以上の行、かつ通常のマクロブロックに相当するアレイより多いピクセルの1以上の列と2以上の行からなる。これは予測回路16でのハーフピクセルフィルタリングに対して必要とされる。

【0027】更に、予測マクロブロックの第1のピクセルは前に復号化された画像のマクロブロックの任意のピクセルに一致することができる。これは、予測マクロブロックのこの第1のピクセルがメモリ10に格納された

64ビットのワードの先端でないことを意味する。実際に、予測マクロブロックの輝度アレイの各行は64ビットのワードに渡って伸びており、予測マクロブロックの色差アレイの各行は2つの64ビットのワードに渡って伸びている。そして、予測マクロブロックにアクセスは17ピクセルの高さ及び24ピクセルの幅のブロック

(2つの64ビットのワードに相当する)にアクセスを必要とし、9×18ピクセル色差アレイを再生するために18ピクセルの高さ及び16ピクセルの幅のブロック

(2つの64ビットのワードに相当する)にアクセスを必要とする。主として、予測マクロブロックを取り出すことは87サイクルのコストを表す64ビットの87ワードにアクセスを要求する。その場合で、2つのハーフ予測マクロブロックが別々に取り出されなければならない

ず、各相当するハーフ輝度アレイは9ピクセルの高さ(ハーフピクセルをフィルタリングするために更なる行をプラスした有効な8行アレイ)である。その上、各ハーフマクロブロックアレイは10ピクセルの高さである。つまり、ハーフ色差アレイは2つの構成(U及びV)のそれぞれにおいて、ハーフピクセルをフィルタリングするために1つの行をプラスした4つの有効な行からなる。2つのハーフ予測マクロブロックを取り出すための結果のコストは94サイクルである。前述の表に示されたコストは2(バイディレクショナル工程)によって及び1350(画像で生成するためのマクロブロックの数)に多重化された数94に相当する。

【0028】他の動作は現在復号化された画像の圧縮されたデータを読出すことにおいて含むものである。前もっての方法において、最悪の場合で、画像に相当する圧縮されたデータの量は28,672サイクルで読出される1.75メガビットである。更に、次の画像の圧縮されたデータは最悪の場合で28,672以上のサイクルに相当する新しいヘッダを認識するために読出されなければならない。

【0029】復号化された画像(1350マクロブロック)の記憶は68,400サイクルコストがかかり、表示するためにリーディングバックは86,400サイクル(色差データは表示のために2度リードバックされるのでより多くのサイクルが記憶のためより表示のための方に要求される)コストを要する。

【0030】一方画像が表示され、表示のためにOSD情報がある。このOSD情報は2ビットピクセルによって構成される。画像に相当するOSD情報を表示するために10,800サイクルは必要とされる。

【0031】画像が表示されるので、圧縮されたデータの受理構成が設けられなければならない。この圧縮されたデータが 15×10^6 bits/sの最大伝送率で到達し、かつメモリ10に書込まれなければならない。アクセスサイクルの一致する数は7,820である。

【0032】次に、メモリ10は8ミリ秒ごとでリフレッシュされなければならない。メモリはページに対して3サイクルで少しづつページをリフレッシュされる。256k×16の構成は512ページを含み、かつ6,400リフレッシュサイクルが33.37msで要求される。

【0033】表のサイクルの全体の数はページのアクセスサイクルの必要性を考慮するために約34%によって増加される。ハーフ予測マクロブロック及び表示の読出しはラインを少しづつ実行され、画像はマクロブロックによって格納され、ページアクセスの多くの量を特に要求する。その結果として、図1の周知の復号化器で、

1,653,068サイクルは19.6メガヘルツの操作効率に、又は51ナノ秒のアクセラ時間に相当する33.37msで実行されなければならない。この速度で動作できる標準メモリは“−80”タイプのメモリである。

【0034】本発明によれば、ラン中にバイディレクショナル画像の表示のために、サイクルでのコストは画像でなくマクロブロックの行の表示時間に渡って算出されなければならない。つまり、各画像において、MPEG標準は、圧縮されたマクロブロックの行に相当するビットの数が1つのマクロブロックをプラスした圧縮されない行のビットの数に等しい最大値に達することができることを示す。この状況はリアルタイムで行わなければならない。これは1.75メガビットの最大サイズをもつ圧縮された画像の従来の最悪な場合よりもより抑制される。バイディレクショナル画像は従来遅延器を用いて表示され、最悪な場合のマクロブロックの行による例において通常の生成遅延の吸収を実現する。

【0035】マクロブロックの行の表示時間の最大値はNTSC標準において1.02ミリ秒である。そして、各NTSC画像を2度処理するために、本発明に係る復号化器は最悪の場合のマクロブロックの行を0.51ミリ秒で処理できなければならないし、それは720ピクセルの画像幅に相当する45マクロブロックである。次の表は本発明におけるアクセスサイクルでのコストと同様に実施するための操作を示す。

【表2】

動作	サイクルでのコスト
累進MB予測	7,830
圧縮されたデータの読出し	2,208
OSD	270
圧縮されたデータの書き込み	160
リフレッシュ	107
23%によって増加された合計	12,995
時間	0.61ms
周波数	25.5MHz

【0036】この表で、現在の復号化された画像の記憶及び表示サイクルは表示されていない。つまり、復号化されたピクセルは同時に表示され、それらはもはやメモリ10を介する必要がある。

【0037】最悪な予測の場合は飛び越しバイディレクショナルマクロブロックでないが、累進バイディレクショナルマクロブロック（例えば全部の予測マクロブロック）であり、今マクロブロック当たり87サイクル又は行における7,830サイクルのコストを要する。つまり、第1の復号化通過中で第1のフレームのみが表示され、奇数ラインに相当し、飛び越しマクロブロックの再格納は偶数ラインに相当するハーフマクロブロックの使用を要求しない。同様に、第2の復号化通過中で第2のフレームのみが表示され、偶数ラインに相当し、飛び越しマクロブロックの再格納は奇数ラインに相当するハーフマクロブロックの使用を要求しないのである。ここで、2つのハーフマクロブロックの読出しは飛び越し予測において抑制される。

【0038】46(45+1)のビットの数に相当する読出されるべき圧縮されたデータは圧縮されたマクロブロックでない。このために2,208サイクルが必要とされる。

【0039】これらの動作のコストが通常の復号化時間の半分である時間に比例するのでOSD、圧縮されたデータの書き込み、及び0.51msに止められるリフレッシュのコストは前述の表の値の半分である。

【0040】例えば最悪な場合の状況でこのために十分な時間を置くフレーム帰線中表示期間より他で実行されるので画像ヘッダのサーチは表に示されていない。

【0041】この二重速度の復号化の全体のコストは必要なページアクセスを考慮して23%によって増加される。23%のマージンは従来の状況のマージン(34%)より低い。なぜならば、実行されるメモリアクセスが特にページアクセスの量を減らす4つのハーフ予測マクロブロックに変わって2つの全部の予測マクロブロックを取り出すためにより完全である。その結果のコストは、0.51msを越えて25.5MHzの動作周波数に、又は39ナノ秒のアクセス時間に相当する12,995サイクルである。そのような速度で動作できる標準

メモリは“-60”タイプのメモリであり、明らかにより安価であり、“-80”タイプより安い。

【0042】もちろん、処理回路の動作速度はバイディレクショナル画像の二重復号化に適切でなければならない。サイクル当たり1つのピクセルを処理するパイプライン回路12は0.51ミリ秒中処理されなければならない17,280ピクセルに相当する34メガヘルツでみなされなければならない。これらの速度で動作する回路は使用技術で簡単に入手可能である。実際に、動作速度を限定するメモリ10である。

【0043】図2は本発明による連続な画像の表示及び復号化を示すタイムチャートである。有効的に表示されるべき画像はP0, B1, B2, P3, B4, B5, P6に起因される。頭文字のPは予測される画像を示し、頭文字のBはバイディレクショナル画像を示す。そのような画像の連続はMPEG標準によれば従来よりあった。

【0044】各予測画像Pの再格納はそれより前に来る予測器画像（又はイントラ（示されていない））で取り出される予測マクロブロックを要求する。各バイディレクショナル画像Bの再格納はその回りの予測される画像で取り出される予測マクロブロックを要求する。そして、画像に相当する圧縮されたデータは表示の値と異なる値で復号化器に到達する。ここで、圧縮されたデータは値P0, P3, B1, B2, P6, B4, B5で到達する。

【0045】はじめに、画像P0はエリアIM1で例えば、メモリに格納され復号化される。一方、画像P3はエリアIM2で格納され、かつ復号化され、画像P0が表示される。そして、画像B1は2倍の速度で第1の時間を復号化され、一方画像B1の第1のフレームがラン中に表示され、そして画像B1は2倍の速度で第2の時間を復号化され、一方画像B1の第2のフレームは表示される。画像B1の各復号化はエリアIM1及びIM2に格納された画像P0及びP3で取り出される予測マクロブロックを使用する。同じ動作はバイディレクショナル画像B2に対して置き換える。そして、画像P6は画像P0の位置にエリアIM1に復号化及び格納され、一方画像P3は表示される。画像B4及びB5は画像B1

及びB2として2倍の速度で2度復号化され、一方それらは表示される。画像B4及びB5の復号化工程はエリアIM1及びIM2などに格納される画像P3及びP6に取り出される予測マクロブロックを使用する。

【0046】図3は本発明に係るバイディレクショナル画像の二重復号化を実行するための図1の復号化器の変形例を示す。図1で用いた共通の構成は同じ参照符号によって表されている。メモリ10はもはや3つの画像エリアIM3を含まない。バッファメモリ18に接続される加算器14の出力はライン走査変換器26にブラック走査に接続される。つまり、加算器14は処理されたマクロブロックの8×8ピクセルブロックのそれぞれに相当する8×8ピクセルブロックを供給する。この走査変換器26の容量は8本のラインであり、マクロブロックは16本のラインに相当する。つまり、各復号化に関して1つのフレームのみ表示され、奇数ライン又は偶数ラインのみである。そして、走査変換器26は受信するブロックのラインの中に表示するためにフレームのラインに相当する部分をもって分類する。この部分の選択は表示回路20によって供給されるフレーム同期信号VSYNCによって検出される。走査変換器26はサイズを限定するために基準によって組み入れられる米国特許第5,151,976号に示されるタイプである。

【0047】変換器26の出力はバッファ28に供給される。マルチプレクサはバッファ28の出力と表示するために非バイディレクショナル画像をメモリ10から受信するバッファ22の出力のいずれか1つを表示回路20に供給される。選択信号BIDIRはマルチプレクサ30を切り替え、加算器14がバイディレクショナル画像を供給するか否かによってバッファ18又は走査変換器26のいずれかを可能とする。パイプライン回路12にバイディレクショナル画像の圧縮されたデータの転送を始めるときこの信号BIDIRは例えばメモリ制御ユニット24によって実行される。

【0048】メモリ制御ユニット24は各バイディレクショナル画像に相当する圧縮データをパイプライン回路12に2度転送する機能を実行するために再度プログラム化されている。

【0049】最悪の場合のマクロブロックの行では発生する確率が大変低い。そして、“-60”メモリを要求し、25.5MHzより早い速度でアクセスするメモリを達成する必要がない。実施の形態例によれば、最悪の

場合のマクロブロックの行の代わりにメモリアクセスの速度は最悪の場合の画像の処理に最適化され、前述の方法例で22.8MHzにメモリアクセスの速度を減少する。そして、“-70”メモリが使用され得る。

【0050】しかしながら、大変悪い場合のマクロブロックの行を処理するために、この実施の形態例は2つの予測マクロブロックの1つのみを使用するために復号化器を強要しかつ生じるように復号化表示を検出する。もちろん、復号化ピクセルの少しの改良が結果としてなされ、マクロブロックの行の表示時間(1.02ms)を介して高々発生するのでこの改良は気づかれないうる。

【0051】復号化遅延は復号化されたマクロブロックの数が表示されるマクロブロックの数より低くなることを検出することによって簡単に検出される。これらの2つの数は従来復号化器で利用され得る。

【0052】本発明の少なくとも1つの実施の形態例を示したが多種の置換え、改良や変形は当業者であればその例から簡単に生じる。そのような置換え、改良や変形は、本明細書の一部であり、本発明の技術思想や見地の範囲内である。したがって、先の説明は一例によるものであり、これに限定されるものではない。本発明は前記特許請求の範囲及びそれに等価のものによってのみ定められる。

【図面の簡単な説明】

【図1】従来のMPEG復号化器を示すブロック図である。

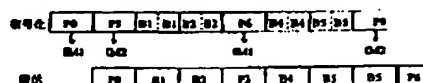
【図2】本発明に係る数個の画像の表示と復号化のシーケンスを示す図である。

【図3】本発明を実行するための図1の復号化器の変形例を示す図である。

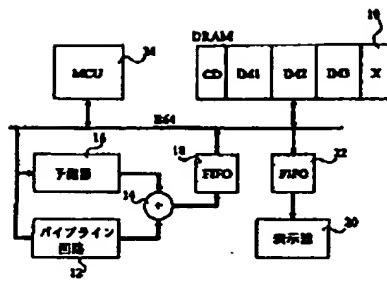
【符号の説明】

- 10 メモリ
- 12 パイプライン回路
- 14 加算器
- 16 予測器
- 18, 22, 28 バッファ
- 20 表示器
- 24 メモリ制御ユニット
- 26 ライン走査変換器
- 30 マルチプレクサ

【図2】



【図1】



【図3】

